

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-260347
 (43)Date of publication of application : 03.10.1997

(51)Int.CI. H01L 21/306
 H01L 21/28
 H01L 21/3065
 H01L 21/768

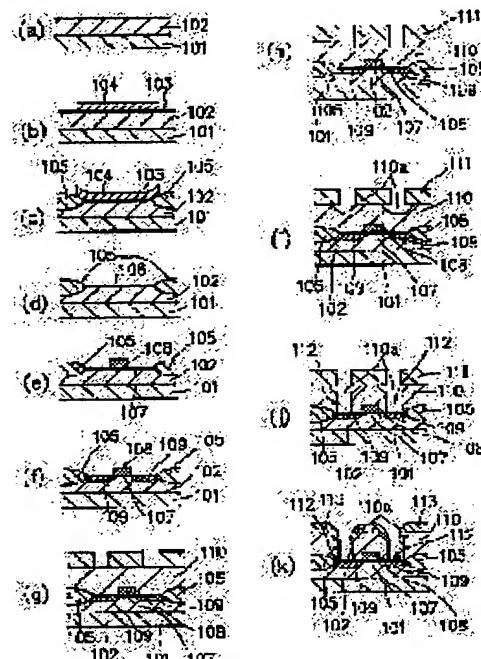
(21)Application number : 08-096107 (71)Applicant : NIPPON STEEL CORP
 (22)Date of filing : 26.03.1996 (72)Inventor : ISHIKAWA AKIO

(54) SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To control the taper shape of the tops of contact holes by the anisotropic dry etching before the isotropic wet etching with a photoresist mask.

SOLUTION: An insulation film 110 is formed on conductors 109 of a semiconductor substrate 101 and contact holes 112 having tapers 110a are formed through the insulation film 110. A patterned resist film 111 is formed on the insulation film 110 and used as a mask, and insulation film 110 is anisotropically etched down into the surface of this film to specified depth. Using the resist film 111 as a mask, the insulation film 110 is isotropically etched to form tapers 110a of the contact holes 112. Using the resist frequency 111 as a mask, the insulation film 110 is anisotropically etched to form contact holes 112 reaching the conductors 109.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-260347

(43)公開日 平成9年(1997)10月3日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L	21/306		H 01 L	S
	21/28		21/28	V
	21/3065		21/302	M
	21/768		21/90	A

審査請求 未請求 請求項の数2 FD (全6頁)

(21)出願番号 特願平8-96107	(71)出願人 新日本製鐵株式会社 東京都千代田区大手町2丁目6番3号
(22)出願日 平成8年(1996)3月26日	(72)発明者 石川 明夫 東京都千代田区大手町2-6-3 新日本 製鐵株式会社内
	(74)代理人 弁理士 國分 孝悦

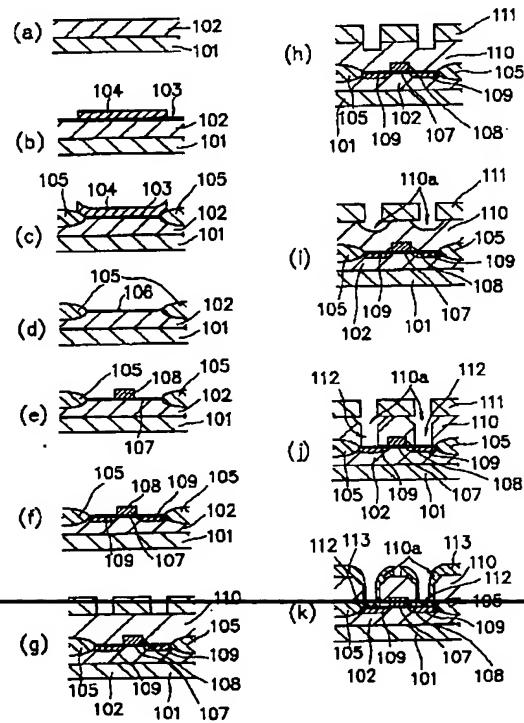
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】上方に開いたテーパー部を有するコンタクト孔を層間絶縁膜に形成するときにこのテーパー部の形状を制御する。

【解決手段】フォトレジストをマスクとして異方性ドライエッチングにより層間絶縁膜の一部をエッチング除去した後、等方性ウェットエッチングにより層間絶縁膜の一部をエッチング除去し、その後に異方性ドライエッチングにより下層導電層に達するコンタクト孔を形成する。そして、下層導電層に接続されるアルミニウム膜を形成する。

【効果】等方性ウェットエッチングの前に行う異方性ドライエッチングのエッチング量と等方性ウェットエッチングのエッチング量を制御することにより、コンタクト孔上部に形成されるテーパー部の形状を制御することが可能となり、等方性ウェットエッチング時に発生するフォトレジストの剥離等を抑制でき、歩留まりを向上させることができる。



【特許請求の範囲】

【請求項1】 導電体を具備し、且つ、前記導電体上に絶縁膜が形成された半導体基板に、前記絶縁膜にテーパー部を有するコンタクト孔を形成する半導体装置の製造方法において、前記絶縁膜上にパターニングされたレジスト膜を形成した後、前記レジスト膜をマスクにして前記絶縁膜表面から下方に向けて所定の深さ前記絶縁膜を異方性エッチングを施した後、前記レジスト膜をマスクにして等方性エッチングを前記絶縁膜に施すことにより、前記コンタクト孔のテーパー部を形成する第1の工程と、前記レジスト膜をマスクにして、前記絶縁膜を異方性エッチングを施すことにより、前記導電体に到達するコンタクト孔を形成する第2の工程とを具備することを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板上に第一導電層を形成する工程と、前記第一導電層上に絶縁膜を形成する工程と、前記絶縁膜上にフォトレジストをパターン形成する工程と、前記フォトレジストをマスクとして前記絶縁膜の一部を異方性エッチングする工程と、前記フォトレジストをマスクとして前記絶縁膜を異方性エッチングする工程と、前記フォトレジストをマスクとして前記絶縁膜を異方性エッチングを施し前記第一導電層に達するコンタクト孔を形成する工程と、前記フォトレジストを除去する工程と、前記コンタクト孔において前記第一導電層と接続される第二導電層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特に、上下の導電層がコンタクト孔において接続された半導体装置の製造方法に関する。

【0002】

【従来の技術】 半導体集積回路においては、例えばMOSトランジスタのソース・ドレインのような半導体基板内の不純物拡散層と金属配線とを互いに電気的に接続するために、不純物拡散層上の絶縁膜にコンタクト孔が形成される。また、多層配線間を電気的に接続するためにも層間絶縁膜にコンタクト孔が形成される。

【0003】 しかしながら、近年の半導体装置の高集積化に伴ってコンタクト孔の径(D)と深さ(R)との比(D/R)であるアスペクト比が大きくなり、図3に示すように、P型シリコン基板301上に形成された層間絶縁膜302と、この層間絶縁膜302上に形成された下層導電層303と、この下層導電層上に形成された層間絶縁膜304とを構成する半導体装置において、下層導電層303上の層間絶縁膜304に開孔されたコンタクト孔306部分に例えばスパッタ法でアルミニウムなどの上層導電層305を形成した場合、コンタクト孔306内部が上層導電層305で埋め込まれる前に上層導

電層305がコンタクト孔306の入口付近でコンタクト孔306を塞いでしまうという現象が生じている。このような現象が生じると、下層導電層303と上層導電層305との接触抵抗が高くなるだけでなく、下層導電層303と上層導電層305とが電気的に接続されず断線することもあり、半導体装置の信頼性を著しく低下させてしまう。そして、断線の可能性は、素子の微細化によるコンタクト孔306のアスペクト比が大きくなるほど高くなる。

【0004】 上述のような現象が生じないようにするための方法として、次に説明するような方法が知られている。即ち、図4(a)に示すように、P型シリコン基板401上に形成された層間絶縁膜402と、この層間絶縁膜402上に形成された下層導電層403と、この下層導電層上に形成された層間絶縁膜404とを構成する半導体装置において、下層導電層403上にシリコン酸化膜等の層間絶縁膜404を形成し、この層間絶縁膜404上にコンタクト孔形状の開孔を有するフォトレジスト405をパターン形成する。しかる後、フォトレジスト405をマスクとしてHF溶液を用いた等方性ウェットエッチングを施し、層間絶縁膜404の表面付近に凹部を形成する。さらに、フォトレジスト405をマスクとして異方性ドライエッチングを施し、凹部の下に残存する層間絶縁膜404を除去しコンタクト孔406を形成する。このように、縦横両方向にエッチングが進行する等方性エッチングと縦方向のみにエッチングが進行する異方性エッチングとを組み合わせることにより、上部にテーパー部404aを有するコンタクト孔406を開孔することができる。次に、図4(b)に示すように、フォトレジスト405を除去した後、上層導電層407を形成する。このとき、コンタクト孔406にはその上部にテーパー部404aが形成されているため実質的なアスペクト比が小さくなり、図3で示したようにコンタクト孔406の入口付近が塞がれることがない。

【0005】

【発明が解決しようとする課題】 しかしながら、図4で説明したような方法によると、フォトレジスト405をマスクとして層間絶縁膜404をウェットエッチングする際、一般に有機膜であるフォトレジスト405と層間絶縁膜404との間の密着性が十分でないために、エッチング液であるHF溶液がフォトレジスト405と層間絶縁膜404との界面に染み込み、この界面に沿って層間絶縁膜404の横方向のエッチングが過度に進行してしまう。このため、コンタクト孔406のアスペクト比を十分小さくするために必要なエッチングを行うと、図4に示すように、隣接するコンタクト孔406どうしが互いに連続的に形成されてしまい、隣接するコンタクト孔406間のフォトレジスト405がA部において浮いてしまい、フォトレジスト405が剥離してしまうという問題があった。

【0006】そこで本発明は、上下の導電層を接続するためのコンタクト孔の上部にテーパー部を有する半導体装置に關し、コンタクト孔上部のテーパー部の形状を制御することが可能な半導体装置の製造方法を提供することを目的としている。

【0007】

【課題を解決するための手段】本発明の半導体装置の製造方法は、導電体を具備し、且つ、前記導電体上に絶縁膜が形成された半導体基板に、前記絶縁膜にテーパー部を有するコンタクト孔を形成する半導体装置の製造方法において、前記絶縁膜上にパターニングされたレジスト膜を形成した後、前記レジスト膜をマスクにして前記絶縁膜表面から下方に向けて所定の深さ前記絶縁膜を異方性エッチングを施した後、前記レジスト膜をマスクにして等方性エッチングを前記絶縁膜に施すことにより、前記コンタクト孔のテーパー部を形成する第1の工程と、前記レジスト膜をマスクにして、前記絶縁膜を異方性エッチングを施すことにより、前記導電体に到達するコンタクト孔を形成する第2の工程とを具備する。

【0008】本発明の別の態様による半導体装置の製造方法は、半導体基板上に第一導電層を形成する工程と、前記第一導電層上に絶縁膜を形成する工程と、前記絶縁膜上にフォトレジストをパターン形成する工程と、前記フォトレジストをマスクとして前記絶縁膜の一部を異方性エッチングする工程と、前記フォトレジストをマスクとして前記絶縁膜の一部を等方性エッチングする工程と、前記フォトレジストをマスクとして前記絶縁膜を異方性エッチングを施し前記第一導電層に達するコンタクト孔を形成する工程と、前記フォトレジストを除去する工程と、前記コンタクト孔において前記第一導電層と接続される第二導電層を形成する工程とを有する。

【0009】

【作用】本発明の半導体装置の製造方法においては、フォトレジストをマスクとして等方性ウェットエッチングを行う前に異方性ドライエッチングを施すため、等方性ウェットエッチング後に形成されるテーパー部の形状を制御することが可能となり、隣接するコンタクト孔間のフォトレジストが浮き剥離してしまうことを抑制できる。

【0010】

【発明の実施の形態】以下、本発明の実施形態を図1乃至図2を参照して説明する。

【0011】本発明の第一の実施形態による半導体装置の製造方法を図1を参照して説明する。図1は、本発明の第1の実施形態である半導体装置の製造方法を示す製造工程図である。

【0012】図1(a)に示すように、P型シリコン基板101の表面にPウェル102を形成する領域に、例えば、硼素を注入エネルギー60keV、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ でイオン注入した後、例えば、温度110

0°C、6時間の熱処理により、不純物を拡散および活性化して、Pウェル102を形成する。

【0013】次に、図1(b)に示すように、Pウェル102が形成されたシリコン基板101の表面を熱酸化して膜厚20nm程度の酸化シリコン膜103を形成し、酸化シリコン膜103の上に膜厚150nm程度の窒化シリコン膜104をCVD法により形成し、フォトレジスト(図示せず)をマスクとして窒化シリコン膜104を微細加工技術によりパターニングする。

【0014】次に、図1(c)に示すように、シリコン基板101の表面を熱酸化して、膜厚400nm程度のフィールド絶縁膜105を形成した後、窒化シリコン膜104および酸化シリコン膜103をエッチング除去し、図1(d)に示すように、シリコン基板101表面を20nm程度熱酸化し、酸化シリコン膜106を形成する。

【0015】次に、図1(e)に示すように、酸化シリコン膜106をエッチング除去した後、シリコン基板101表面を熱酸化して、膜厚15nm程度のゲート酸化膜107を形成し、このゲート酸化膜107の上に膜厚200nm程度の多結晶シリコン膜をCVD法により形成し、燐を熱拡散させて低抵抗化した後、フォトレジスト(図示せず)をマスクとしてこの多結晶シリコン膜の所定箇所をエッチング除去し、所定パターンの多結晶シリコン膜からなるゲート電極108を形成する。

【0016】しかる後、図1(f)に示すように、ゲート電極108のパターンおよびフィールド絶縁膜105をマスクとして、例えば、砒素を注入エネルギー60keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ でイオン注入して、熱処理を施し、ゲート電極108の両側のPウェル102にソース・ドレイン拡散層109を形成する。

【0017】この後、図1(g)に示すように、ゲート電極108を含むP型半導体基板101上に層間絶縁膜110である酸化シリコン膜をCVD法等により600nm程度全面に形成し、この層間絶縁膜110の上にフォトレジスト111を全面に塗布してから、フォトリソグラフィ技術によりコンタクト孔形状の開孔をフォトレジスト111に形成する。なお、層間絶縁膜110としては、BPSG膜やPSG膜などのシリケートガラス膜を用いてもよい。

【0018】次に、図1(h)に示すように、フォトレジスト111をマスクとして異方性ドライエッチングにより、層間絶縁膜110を200nm程度エッチング除去した後、図1(i)に示すように、フォトレジスト111をマスクとしてHF溶液により層間絶縁膜110を縦方向に100nm程度等方性エッチングし、層間絶縁膜111上部にテーパー形状110aを形成する。このとき、HF溶液による等方性ウェットエッチングでは、層間絶縁膜110とフォトレジスト111との密着性が悪いことによる層間絶縁膜110とフォトレジスト111

1との界面へのHF溶液の染み込みによって、この界面に沿った層間絶縁膜110の横方向エッチングが縦方向エッチングよりも速く進行する。図4に示す従来の方法の様にHF溶液による等方性ウェットエッチングの後に異方性ドライエッティングを行なうと層間絶縁膜110上部に形成されるテーパー形状110aは縦方向と比べて横方向に大きくなってしまうが、本発明のように層間絶縁膜110を所定の深さ異方性ドライエッティングを行なった後にHF溶液によって等方性エッティングを行なうことにより、縦方向のエッティング量を増加させることにより層間絶縁膜110上部に形成されるテーパー形状110aの縦方向のエッティング量を横方向のエッティング量と同等またはそれ以上とすることが可能となる。つまり、HF溶液による等方性エッティングの前に行われる異方性ドライエッティングのエッティング量とHF溶液による等方性ウェットエッティングによるエッティング量との関係により層間絶縁膜110上部に形成されるテーパー部110aの形状を制御することができる。

【0019】次に、図1(j)に示すように、フォトレジスト111をマスクとして異方性ドライエッティングにより層間絶縁膜110をエッティング除去することによりソース・ドレイン拡散層109に達するコンタクト孔112を形成する。

【0020】次に、図1(k)に示すように、アッシングなどによりフォトレジスト111を除去し、コンタクト孔112の底部においてソース・ドレイン拡散層と接続される上層配線としてアルミニウム膜113をスパッタ法により全面に形成した後、このアルミニウム膜113を配線形状にパターニング加工する。

【0021】次に本発明の第二の実施形態による半導体装置の製造方法を図2を参照して説明する。図2は、本発明の第2の実施形態である半導体装置の製造方法を示す製造工程図である。

【0022】図2(a)に示すように、半導体基板201上に形成された層間絶縁膜202上にアルミニウムをスパッタ法により全面に形成した後、このアルミニウム膜を微細加工技術によりパターニングし、導電層203を形成する。

【0023】次に、図2(b)に示すように、導電層203の上に層間絶縁膜204として膜厚1000nm程度の酸化シリコン膜をプラズマCVD法により形成し、この層間絶縁膜204の上にフォトレジスト205を全面に塗布してから、フォトリソグラフィ技術によりコンタクト孔形状の開孔をフォトレジスト205に形成する。次に、図2(c)に示すように、フォトレジスト205をマスクとして異方性ドライエッティングにより、層間絶縁膜204を200nm程度エッティング除去した後、図2(d)に示すように、フォトレジスト205をマスクとしてHF溶液により層間絶縁膜204を縦方向に100nm程度等方性エッティングし、層間絶縁膜204

上部にテーパー形状204aを形成する。このとき、HF溶液による等方性ウェットエッティングでは、層間絶縁膜204とフォトレジスト205との密着性が悪いことによる層間絶縁膜204とフォトレジスト205との界面へのHF溶液の染み込みによって、この界面に沿った層間絶縁膜204の横方向エッティングが縦方向エッティングよりも速く進行する。図4に示す従来の方法の様にHF溶液による等方性ウェットエッティングの後に異方性ドライエッティングを行なうと層間絶縁膜204上部に形成されるテーパー形状204aは縦方向と比べて横方向に大きくなってしまうが、本発明のようにHF溶液による層間絶縁膜110を所定の深さ異方性ドライエッティングを行なった後にHF溶液によって等方性エッティングを行なうことにより、縦方向のエッティング量を増加させることにより層間絶縁膜204上部に形成されるテーパー形状204aの縦方向のエッティング量を横方向のエッティング量と同等またはそれ以上とすることが可能となる。つまり、HF溶液による等方性エッティングの前に行われる異方性ドライエッティングのエッティング量とHF溶液による等方性ウェットエッティングによるエッティング量との関係により層間絶縁膜204上部に形成されるテーパー部204aの形状を制御することができる。

【0024】次に、図2(e)に示すように、フォトレジスト205をマスクとして異方性ドライエッティングにより層間絶縁膜204をエッティング除去することにより導電層203に達するコンタクト孔206を形成する。

【0025】次に、図2(f)に示すように、アッシングなどによりフォトレジスト205を除去し、コンタクト孔206の底部において、導電層203と接続される上層配線としてアルミニウム膜207をスパッタ法により全面に形成した後、このアルミニウム膜207を配線形状にパターニング加工する。

【0026】本発明の半導体装置の製造方法によれば、コンタクト孔上部に形成するテーパー形状を異方性ドライエッティングとHF溶液による等方性ウェットエッティングとの2段階のエッティングによって形成するので、従来のテーパー形成による1段階の等方性ウェットエッティング時に発生するフォトレジストと層間絶縁膜との界面に沿った過度の横方向エッティングによるフォトレジストの剥離等を抑制することが可能となる。

【0027】

【発明の効果】コンタクト孔のテーパー形状をウェットエッティングによって形成する際に生ずるフォトレジストの剥離を抑制することが可能となり、延いては、半導体装置の歩留まり向上および信頼性の向上が可能となる。

【図面の簡単な説明】

【図1】本発明の第一の実施形態による半導体装置の製造方法を示す工程断面図である。

【図2】本発明の第二の実施形態による半導体装置の製造方法を示す工程断面図である。

【図3】従来の半導体装置の製造方法を示す断面図である。

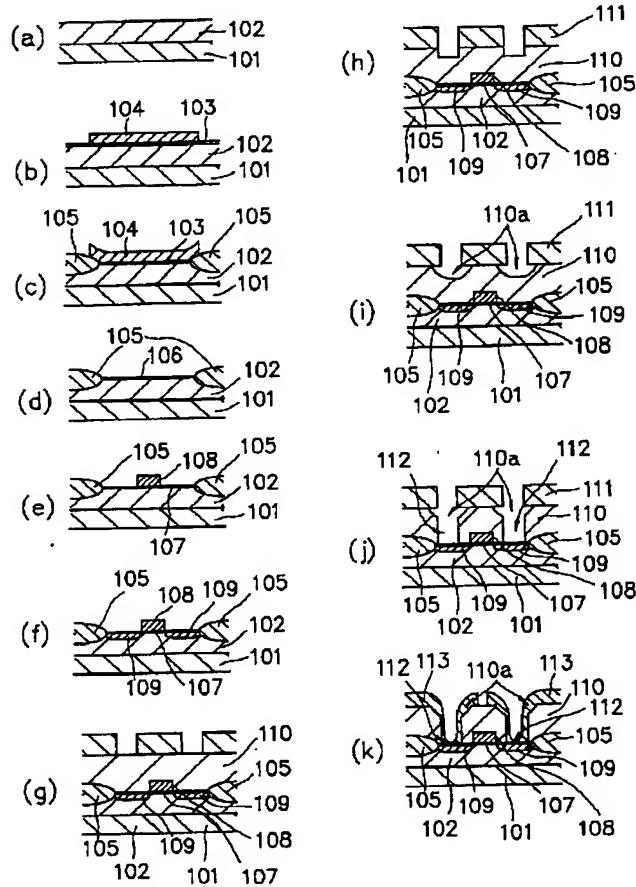
【図4】従来の別の半導体装置の製造方法を示す工程断面図である。

【符号の説明】

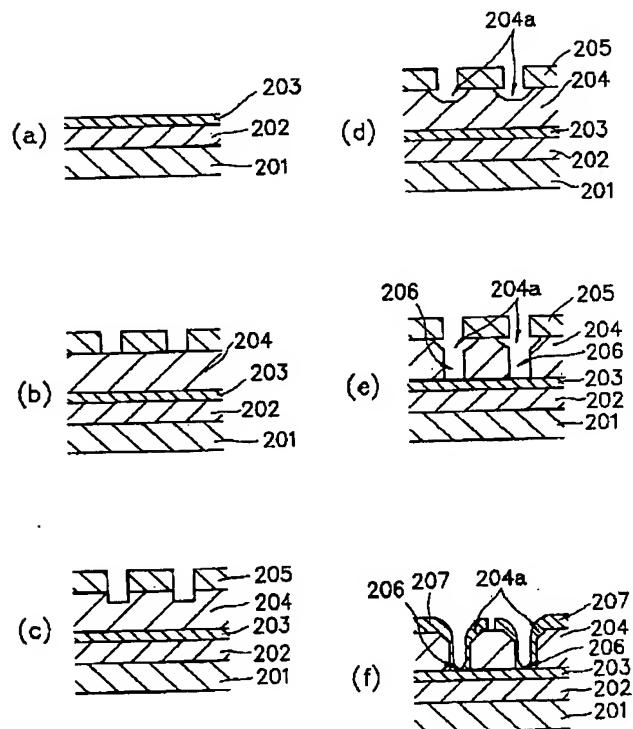
- 101、201、301、401、501 P型半導体基板
- 102 Pウェル
- 103、106 シリコン酸化膜
- 104 窒化シリコン膜
- 105 フィールド絶縁膜
- 107 ゲート絶縁膜
- 108 ゲート電極

- 109 ソース・ドレイン拡散層
- 110、202、204、302、304 402、404、502、504 層間絶縁膜
- 110a、204a、404a、504a 層間絶縁膜上部のテーパー形状部
- 111、205、305、405、505 フォトレジスト
- 112、206、306、406、506 コンタクト孔
- 113、207 アルミ配線
- 204 導電層
- 303、403、503 下層導電層
- 305、407、507 上層導電層

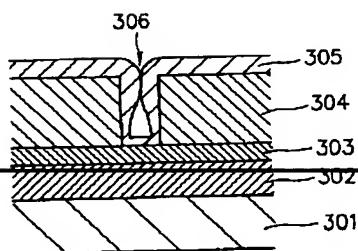
【図1】



【図2】



【図3】



【図4】

